

**Japanese Publication for Utility Model
No. 8055/1990 (Jitsukaihei 2-8055)**

A. Relevance of the Above-identified Document

This document discloses prior art as technical background of the present invention.

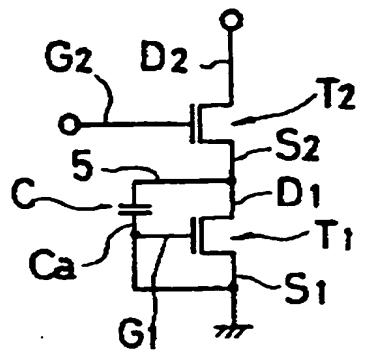
This document has relevance to claims 1 to 3 and 9 to 11 of the present application.

B. Translation of the Relevant Passages of the Document

[UTILITY MODEL CLAIM]

A thin film photosensor, in which: a sensor thin film transistor and a switching thin film transistor are formed on a surface of a substrate, and a drain electrode of the sensor thin film transistor and a source electrode of the switching thin film transistor are connected to each other via a connection electrode integrated with both the electrodes, and a capacitor is connected to the drain of the sensor thin film transistor, wherein a capacitor electrode is disposed so as to face the connection electrode, and the capacitor electrode is integrated with a gate electrode of the sensor thin film transistor, and the gate electrode and a source electrode of the sensor thin film transistor are bonded to each other.

FIG. 2



⑩ 日本国特許庁 (JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報 (U) 平2-8055

⑬ Int. Cl. *

H 01 L 27/146
27/01
31/10

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)1月18日

7514-5F

7377-5F H 01 L 27/14
7733-5F 31/10

C
E

審査請求 未請求 請求項の数 1 (全2頁)

⑮ 考案の名称 薄膜光センサ

⑯ 実 願 昭63-82993

⑰ 出 願 昭63(1988)6月24日

⑱ 考案者 神 原 実 東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内
⑲ 出願人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号
⑳ 代理人 弁理士 鈴江 武彦 外2名

(57) 【要約】

キヤパシタ用電極をセンサ用薄膜トランジスタのゲート電極と一体の電極とすると共にセンサ用薄膜トランジスタのゲート電極とソース電極とを接合することにより、キヤパシタの一方の端子とセンサ用薄膜トランジスタのゲート電極およびソース電極の端子を1つに共通接続したので、端子数を少なくして駆動を容易にできる。

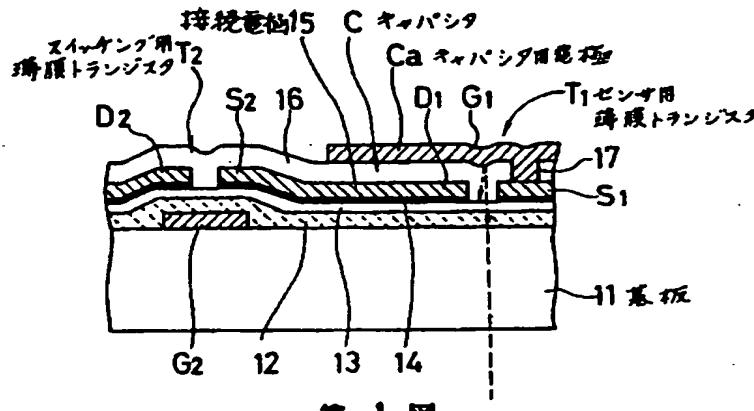
【薄膜光センサ キヤパシタ用 電極 センサ用 薄膜トランジスタ ゲート電極 一体 ソース電極 接合 キヤパシタ一方端子 共通接続 端子数 駆動容易】

【実用新案登録請求の範囲】

基板面にセンサ用薄膜トランジスタとスイッチング用薄膜トランジスタとを形成するとともに、前記センサ用薄膜トランジスタのドレイン電極と前記スイッチング用薄膜トランジスタのソース電極とをこの両電極と一体の接続電極を介して接続し、かつ前記センサ用薄膜トランジスタのドレインにキヤパシタを接続した薄膜光センサにおいて、前記接続電極と対向させてキヤパシタ用電極を配置し、このキヤパシタ用電極を前記センサ用薄膜トランジスタのゲート電極と一体の電極とともに、前記センサ用薄膜トランジスタのゲート電極とソース電極とを接合したことを特徴とする薄膜光センサ。

【図面の簡単な説明】

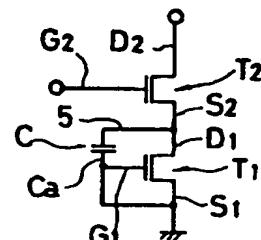
第1図および第2図は本考案の一実施例を示す薄膜光センサの断面図およびその等価回路図、第



第1図

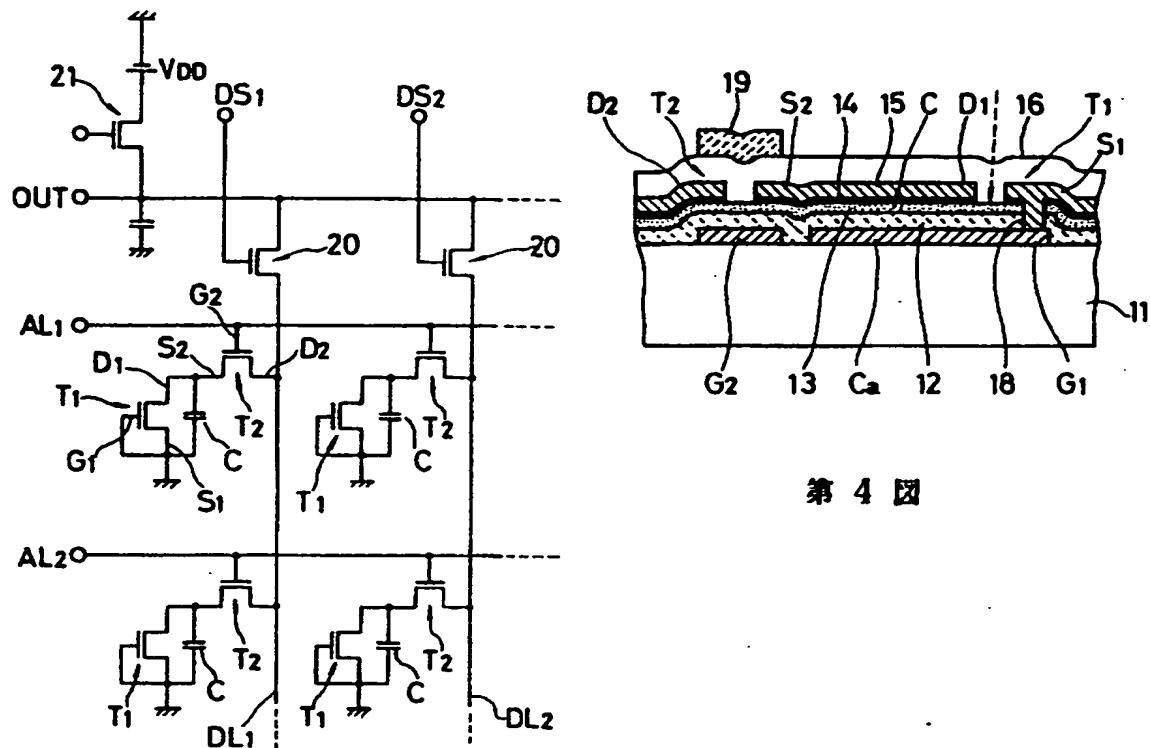
3図は本考案に薄膜光センサを用いたイメージセンサの回路図、第4図は本考案の他の実施例を示す薄膜光センサの断面図、第5図および第6図はそれぞれ従来の薄膜光センサの断面図、第7図は従来の薄膜光センサの等価回路図である。

11……基板、T₁……センサ用薄膜トランジスタ、G₁……ゲート電極、S₁……ソース電極、D₁……ドレイン電極、T₂……センサ用薄膜トランジスタ、G₂……ゲート電極、S₂……ソース電極、D₂……ドレイン電極、12……ゲート絶縁膜、13……半導体層、14……コンタクト層、15……接続電極、C_a……キヤパシタ用電極、C……キヤパシタ、16……透明絶縁膜。



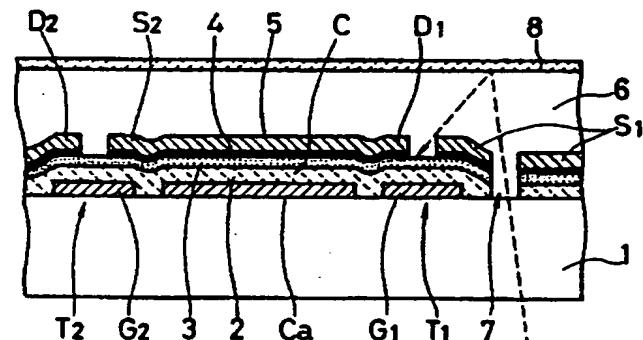
第2図

(3)

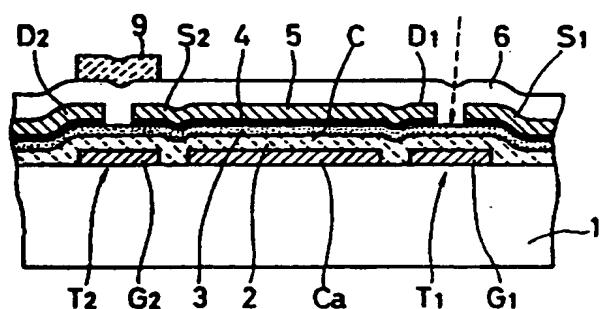


第4図

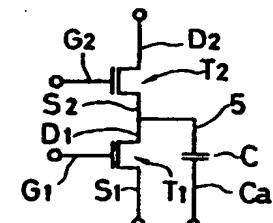
第3図



第5図



第6図



第7図